

BEST AVAILABLE COPY

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-190727

(43)Date of publication of application : 05.07.2002

(51)Int.Cl.

H03K 17/08  
H02H 3/08  
H02H 3/087  
H02H 7/00  
H02H 7/20  
H03K 17/687

(21)Application number : 2000-389070

(71)Applicant : TOSHIBA MICROELECTRONICS CORP  
TOSHIBA CORP

(22)Date of filing : 21.12.2000

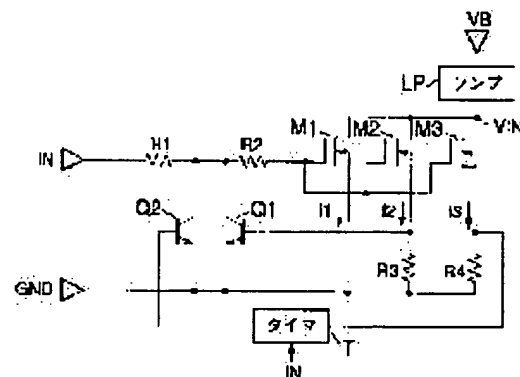
(72)Inventor : OKADA ATSUSHI

## (54) SEMICONDUCTOR PROTECTION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve a problem that the two types of current limit values cannot be set in an over-current protection circuit.

**SOLUTION:** The two types of the current limit values are set by MOSFET M2 and M3, which are constituted of the different number of cells and by resistors R3 and R4. The gate voltage of MOSFET M1 is controlled by transistors Q1 and Q2 turned on in accordance with the current limit values. While the transistor Q1 controls the current of MOSFET M1, a timer T does not supply voltage to the base of the transistor Q2. The timer T is turned on after a prescribed time passes and the transistor Q2 controls the current of MOSFET M1.



## LEGAL STATUS

[Date of request for examination]

10.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	データベース(参考)
H 0 3 K 17/08		H 0 3 K 17/08	C 5 G 0 0 4
H 0 2 H 3/08		H 0 2 H 3/08	T 5 G 0 5 3
3/087		3/087	5 J 0 5 5
7/00		7/00	B
7/20		7/20	F

審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願2000-389070(P2000-389070)

(22)出願日 平成12年12月21日(2000. 12. 21)

(71)出願人 000221199  
東芝マイクロエレクトロニクス株式会社  
神奈川県川崎市川崎区駅前本町25番地1

(71)出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号

(72)発明者 岡田 淳  
神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内

(74)代理人 100058479  
弁理士 鈴江 武彦 (外6名)

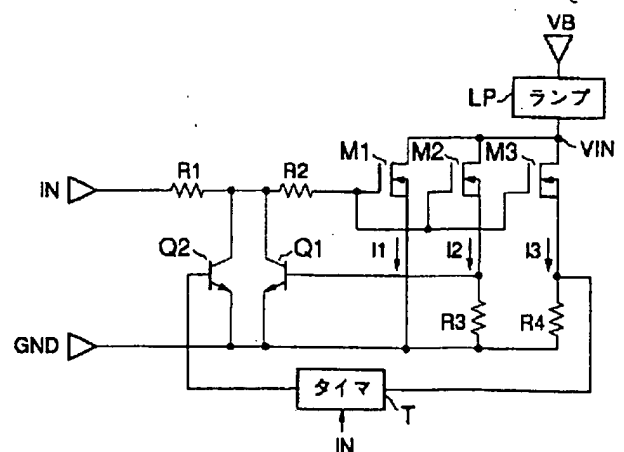
**最終頁に続く**

(54) 【発明の名称】 半導体保護回路

(57) 【要約】

【課題】 過電流保護回路において、2種類の電流制限値を設定できなかった。

【解決手段】 異なるセル数により構成されるMOSFETM2、M3と抵抗R3、R4により2種類の電流制限値を設定する。これら電流制限値に応じてオンするトランジスタQ1、Q2によりMOSFETM1のゲート電圧を制御する。トランジスタQ1によりMOSFETM1の電流を制御している間は、タイマTによりトランジスタQ2のベースに電圧は供給されない。一定時間経過後、タイマTがオンし、トランジスタQ2によりMOSFETM1の電流を制御する。



## 【特許請求の範囲】

【請求項 1】 ゲートに入力信号が供給され、電流通路の一端に負荷を介して電源が供給され、第 1 の電流量を有する第 1 の MOSFET と、

ゲートに前記入力信号が供給され、電流通路の一端が前記第 1 の MOSFET の電流通路の一端に接続され、前記第 1 の電流量より少ない電流量を有する第 2 の MOSFET と、

ゲートに前記入力信号が供給され、電流通路の一端が前記第 1 の MOSFET の電流通路の一端に接続され、前記第 1 の電流量より少ない第 3 の電流量を有する第 3 の MOSFET と、

コレクタが前記第 1 の MOSFET のゲートに接続され、ベースに前記第 2 の MOSFET を流れる電流により発生する電圧が供給され、初期電源投入時に前記第 1 の MOSFET のゲート電圧を制御する第 1 のトランジスタと、

コレクタが前記第 1 の MOSFET のゲートに接続され、ベースに前記第 3 の MOSFET を流れる電流により発生する電圧が供給され、前記負荷の異常時に前記第 1 の MOSFET のゲート電圧を制御する第 2 のトランジスタと、

前記入力信号が入力されてから一定時間、前記第 3 の MOSFET を流れる電流により発生する電圧が前記第 2 のトランジスタに供給されることを遮断するタイマとを具備することを特徴とする半導体保護回路。

【請求項 2】 前記第 2、第 3 の MOSFET は前記第 1 の MOSFET のセル数より少ないセル数により構成されたことを特徴とする請求項 1 記載の半導体保護回路。

【請求項 3】 前記第 1、第 2 のトランジスタはバイポーラトランジスタであることを特徴とする請求項 1 記載の半導体保護回路。

【請求項 4】 前記第 1、第 2 のトランジスタは MOSFET であることを特徴とする請求項 1 記載の半導体保護回路。

【請求項 5】 ゲートに入力信号が供給され、電流通路の一端に負荷を介して電源が供給され、第 1 の電流量を有する第 1 の MOSFET と、

ゲートに入力信号が供給され、電流通路の一端に前記第 1 の MOSFET の電流通路の一端が接続され、前記第 1 の電流量より少ない第 2 の電流量を有する第 2 の MOSFET と、

前記第 2 の MOSFET の電流通路の他端に接続された第 1 の抵抗と、

前記第 2 の MOSFET の電流通路の他端に一端が接続された第 2 の抵抗と、

前記電源電圧が基準電圧以上のとき第 1 の論理レベルの信号を出力し、前記電源電圧が前記基準電圧以下のとき第 2 の論理レベルの信号を出力する比較回路と

前記入力信号が供給され、前記比較回路から前記第 1 の論理レベルの信号が供給されたとき第 1 の論理レベルの信号を出力し、前記比較回路から前記第 2 の論理レベルの信号が供給されたとき第 2 の論理レベルの信号を出力するフリップフロップ回路と、

前記第 2 の抵抗の他端に電流通路の一端が接続され、前記フリップフロップ回路の出力信号が第 1 の論理レベルのとき導通し、第 2 の論理レベルのとき非導通とされる第 3 の MOSFET と、

コレクタが前記第 1 の MOSFET のゲートに接続され、ベースに前記第 1、第 2 の抵抗に発生する電圧が供給され、前記第 1 の MOSFET のゲート電圧を制御するトランジスタとを具備することを特徴とする半導体保護回路。

【請求項 6】 前記第 2 の MOSFET は前記第 1 の MOSFET のセル数より少ないセル数により構成されたことを特徴とする請求項 5 記載の半導体保護回路。

【請求項 7】 前記トランジスタはバイポーラトランジスタであることを特徴とする請求項 5 記載の半導体保護回路。

【請求項 8】 前記トランジスタは MOSFET であることを特徴とする請求項 5 記載の半導体保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばランプの点灯を制御する半導体装置の保護回路に関する。

【0002】

【従来の技術】例えばパチンコ、スロットマシン等の遊戯装置に使用される複数のランプはランプドライバによりドライブされる。このランプドライバによりランプをドライブする際、一般に、初期点灯時には定格電流の数倍程度の突入電流がランプに流れ、これによりフィラメントが温められる。突入電流が流れてから一定時間経過し、フィラメントが温り、安定すると、前記定格電流がランプに流れるように電源電圧が制御される。

【0003】上記ランプドライバを構成する IC には過電流保護回路（過電流制限回路）が設けられている。この過電流保護回路は、ランプドライバに流れる電流値を検出し、例えばランプ異常等により設定された電流値以上の電流が流れると、ランプに流れる電流を制限して IC を保護する。

【0004】

【発明が解決しようとする課題】ところで、上記したように、ランプの初期点灯時または安定状態時に応じてランプドライバに流れる電流の値が異なる。このため、過電流保護回路の電流制限値を設定する際、ランプの初期点灯時に過大な突入電流を制限するような高い制限値とした場合、初期点灯時には適切な保護回路として機能する。しかし、ランプの安定状態時に定格電流値を超える電流が発生した場合、保護回路としての機能を用いて

最悪の場合IC等の破壊に至る。

【0005】一方、安定状態時において、複数のランプの一部がショートするような負荷異常時を想定して低い制限値とした場合、安定状態時には適切にIC等を保護することができる。しかし、初期点灯時に突入電流を低く制限し過ぎることとなる。このため、フィラメントが安定するまでに長時間を必要とし、ランプが点灯するまでの時間が長くなる。また、場合によっては電流が低すぎてランプが点灯しないことも起こり得る。

【0006】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、初期点灯時と安定状態時の電流を適正に設定可能な半導体保護回路を提供しようとするものである。

【0007】

【課題を解決するための手段】本発明の半導体保護回路は、上記課題を解決するため、ゲートに入力信号が供給され、電流通路の一端に負荷を介して電源が供給され、第1の電流量を有する第1のMOSFETと、ゲートに前記入力信号が供給され、電流通路の一端が前記第1のMOSFETの電流通路の一端に接続され、前記第1の電流量より少ない電流量を有する第2のMOSFETと、ゲートに前記入力信号が供給され、電流通路の一端が前記第1のMOSFETの電流通路の一端に接続され、前記第1の電流量より少ない第3の電流量を有する第3のMOSFETと、コレクタが前記第1のMOSFETのゲートに接続され、ベースに前記第2のMOSFETを流れる電流により発生する電圧が供給され、初期電源投入時に前記第1のMOSFETのゲート電圧を制御する第1のトランジスタと、コレクタが前記第1のMOSFETのゲートに接続され、ベースに前記第3のMOSFETを流れる電流により発生する電圧が供給され、前記負荷の異常時に前記第1のMOSFETのゲート電圧を制御する第2のトランジスタと、前記入力信号が入力されてから一定時間、前記第3のMOSFETを流れる電流により発生する電圧が前記第2のトランジスタに供給されることを遮断するタイマとを具備することを特徴とする。

【0008】また、前記第2、第3のMOSFETは前記第1のMOSFETのセル数より少ないセル数により構成されたことを特徴とする。

【0009】また、前記第1、第2のトランジスタはバイポーラトランジスタであることを特徴とする。

【0010】また、前記第1、第2のトランジスタはMOSFETであることを特徴とする。

【0011】本発明の半導体保護回路は、ゲートに入力信号が供給され、電流通路の一端に負荷を介して電源が供給され、第1の電流量を有する第1のMOSFETと、ゲートに入力信号が供給され、電流通路の一端に前記第1のMOSFETの電流通路の一端が接続され、前記第1の電流量より少ない第2の電流量を有する第2の

MOSFETと、前記第2のMOSFETの電流通路の他端に接続された第1の抵抗と、前記第2のMOSFETの電流通路の他端に一端が接続された第2の抵抗と、前記電源電圧が基準電圧以上のとき第1の論理レベルの信号を出力し、前記電源電圧が前記基準電圧以下のとき第2の論理レベルの信号を出力する比較回路と、前記入力信号が供給され、前記比較回路から前記第1の論理レベルの信号が供給されたとき第1の論理レベルの信号を出力し、前記比較回路から前記第2の論理レベルの信号が供給されたとき第2の論理レベルの信号を出力するフリップフロップ回路と、前記第2の抵抗の他端に電流通路の一端が接続され、前記フリップフロップ回路の出力信号が第1の論理レベルのとき導通し、第2の論理レベルのとき非導通とされる第3のMOSFETと、コレクタが前記第1のMOSFETのゲートに接続され、ベースに前記第1、第2の抵抗に発生する電圧が供給され、前記第1のMOSFETのゲート電圧を制御するトランジスタとを具備することを特徴とする。

【0012】また、前記第2のMOSFETは前記第1のMOSFETのセル数より少ないセル数により構成されたことを特徴とする。

【0013】また、前記トランジスタはバイポーラトランジスタであることを特徴とする。

【0014】また、前記トランジスタはMOSFETであることを特徴とする。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0016】〈第1の実施形態〉図1は、本発明に係る半導体保護回路の第1の実施形態を示している。図1に示すように、入力信号INは抵抗R1及びR2を介してNチャネルMOSFETM1、M2、M3のゲートに供給されている。これらMOSFETM1、M2、M3の電流量は後述するように相違されている。これらMOSFETM1、M2、M3の電流通路の一端（ドレイン）には、ランプLPを介して電源電圧VBが入力端VINより供給されている。MOSFETM1電流通路の他端（ソース）は接地され、MOSFETM2のソースは、抵抗R3を介して接地され、MOSFETM3のソースは抵抗R4を介して接地されている。

【0017】一方、前記抵抗R1とR2の接続ノードにはNPN型トランジスタQ1、Q2のコレクタが接続され、これらトランジスタQ1、Q2のエミッタは接地されている。トランジスタQ1のベースは前記MOSFETM2と抵抗R3の接続ノードに接続されている。また、MOSFETM3と抵抗R4の接続ノードはタイマTを介してトランジスタQ2のベースに接続されている。前記抵抗R3の抵抗値は例えば0.7KΩ程度である。また、抵抗R4の抵抗値は例えば1kΩ程度である。前記タイマTは例えば、パルス幅制御回路、トリ

構成され、入力信号INに応じて突入電流が流れてから安定状態になるまでの時間、トランジスタQ2のベースに供給される信号を遮断する。尚、トランジスタQ2の閾値電圧は前記トランジスタQ1より低く設定されており、トランジスタQ1の閾値電圧は例えば0.7V、トランジスタQ2の閾値は例えば0.4Vである。

【0018】図2は、前記MOSFETM1~M3を概略的に示している。これらMOSFETM1~M3はセル数を変えることにより電流量が相違する。図2において、Sはほぼ同一特性を有する例えば縦型のMOSFETセルであり、基板上に例えば1000個のMOSFETセルSが設けられている。例えば1000個のセルを1つのセルS1として使用する。すなわち、各セルのソースを共通とすると、1000個のセルが並列接続されたMOSFETとみなすことができる。さらに、1000個のセルのうち、例えば100個のセルを同様にS2として使用することにより、100個の並列接続されたMOSFETとみなせる。このようにして構成されたセルの総数のうち、何個のセルを使用するかにより、電流量を適宜選択可能なMOSFETを構成することができる。各MOSFETに使用されるセル数の比をセル比と呼ぶ。

【0019】本発明の半導体保護回路において、MOSFETM1~M3のセル数は $M1 > M2 \geq M3$ に設定される必要がある。第1の実施形態において、セル比は例えば $M1 : M2 : M3 = 5000 : 5 : 2$ である。したがって、MOSFETM1~M3に流れる電流をI1、I2、I3とすると、これらの関係は $I1 \gg I2 > I3$ となる。

【0020】上記構成の半導体保護回路の動作について図1を参照して説明する。

【0021】(初期点灯時) 図示せぬ制御回路からハイレベルの入力信号INが供給されると、抵抗R1及びR2を介してMOSFETM1~M3のゲートに供給され、MOSFETM1~M3はオンされる。MOSFETM1~M3にはセル数に応じた電流が流れ、突入電流の殆どはMOSFETM1に流れる。MOSFETM2を介して抵抗R3に流れる電流が例えば1mAに達すると、トランジスタQ1のベースに0.7Vの電圧が供給される。このため、トランジスタQ1がオンされ、MOSFETM1~M3のゲート電圧が低下する。したがって、MOSFETM1に流れる突入電流が約1Aに制限される。このように、MOSFETM2のセル数及び抵抗R3の抵抗値により、図2に示すように、突入電流に対する電流制限値IS1が規定され、この電流制限値IS1に応じて突入電流が制限される。

【0022】このときタイマTはオフしている。このため、MOSFETM3に流れる電流に応じて抵抗R4に発生する電圧はトランジスタQ2のベースに供給されない。したがって、トランジスタQ2はオフのままであ

る。

【0023】(安定状態時) 一方、入力信号INが入力されてから、タイマTに設定された遅延時間tが経過すると、タイマTがオンとなる。このため、MOSFETM3に流れる電流に応じた抵抗R4の電圧がトランジスタQ2のベースに供給される。このとき、トランジスタQ1はオフしている。

【0024】上記状態において、負荷異常等により安定状態における適切な電流制限値IS2より大きな電流が流れると、抵抗R4の端子電圧が上昇し、トランジスタQ2の閾値電圧(0.4V)を超えるとトランジスタQ2がオンされる。したがって、MOSFETM1のゲートに供給される電圧が低下し、MOSFETM1~M3を介して回路に流れる電流が低下する。このようにして、安定状態時の電流がMOSFETM3のセル数及び抵抗R4により設定された値に制限される。

【0025】上記第1の実施形態によれば、セル数の異なるMOSFETM1~M3を設け、MOSFETM2を流れる電流と抵抗R3とによりトランジスタQ1の導通を制御して初期点灯時の突入電流を制限し、MOSFETM3を流れる電流と抵抗R4とにより、タイマTを介してトランジスタQ2の導通を制御して安定状態時における負荷異常による電流を制限している。したがって、初期点灯時には、突入電流を制限し過ぎることなく、ランプが適正に点灯するのに十分な高い電流値に設定することができる。また、安定状態時には、電流制限値を大きくし過ぎることなく、低く設定することができる。このため、安定状態時の負荷異常等による過電流を適切な値に制限できる。よって、ランプドライバの保護回路として適切に動作させることができる。

【0026】尚、トランジスタQ1、Q2の閾値電圧は相違させたが、トランジスタQ1、Q2の閾値電圧を同一(例えば0.7V)とし、MOSFETM2、M3の電流量及び抵抗R3、R4の抵抗値を変えることによりトランジスタQ1、Q2の動作タイミングを制御してもよい。すなわち、MOSFETM2、M3の電流量を同一、またはMOSFETM2の電流量をMOSFETM3の電流量より小さくし、抵抗R3の抵抗値を抵抗R4の抵抗値より大きく設定してもよい。

【0027】また、トランジスタQ1、Q2はバイポーラトランジスタとしたが、NチャネルMOSFETを使用してもよい。このときNチャネルMOSFETの閾値は例えば1.5Vである。

【0028】〈第2の実施形態〉図4は、本発明に係る半導体保護回路の第2の実施形態を示している。図4に示すように、入力信号INは抵抗R5を介してDフリップフロップ回路FFのD信号入力端子に入力されている。また、前記入力信号INは、抵抗R5及びR6を介してNチャネルMOSFETM4、M5のゲートに供給されている。これらMOSFETM4、M5の電流量は、

端（ドレイン）には、ランプLPを介して電源電圧VBが入力端VINより供給されている。MOSFETM4の電流通路の他端（ソース）は接地され、MOSFETM5のソースは、抵抗R7を介して接地されるとともに、抵抗R8及びNチャネルMOSFETM6を介して接地されている。

【0029】前記入力端VINは抵抗9及び抵抗R10を介して接地されている。抵抗R9とR10との接続ノードN1は比較回路Cの非反転入力端子に接続されている。この比較回路Cの反転入力端子は基準電圧としての直流電源Eの正電極に接続され、直流電源Eの負電極は接地されている。

【0030】比較回路Cの出力信号は前記Dフリップフロップ回路FFのCLK信号入力端子に供給されている。このDフリップフロップ回路FFの出力端子Qは前記MOSFETM6のゲートに接続されている。

【0031】前記抵抗R5とR6の接続ノードはNPN型トランジスタQ3のコレクタに接続され、トランジスタQ3のエミッタは接地されている。このトランジスタQ3のベースは前記MOSFETM5と抵抗R7及びR8の接続ノードN2に接続されている。

【0032】尚、前記MOSFETM4及びM5のセル数は $M4 > M5$ である。

【0033】上記構成の半導体保護回路の動作について図4を参照して説明する。

【0034】（初期点灯時）図示せぬ制御回路からハイレベルの入力信号INが供給されると、抵抗R5を介して前記Dフリップフロップ回路FFのD信号入力端子に供給される。このため、Dフリップフロップ回路FFの出力信号はハイレベルとなり、MOSFETM6はオンとされる。また、入力信号INは抵抗R5及びR6を介してMOSFETM4及びM5のゲートに供給される。したがって、MOSFETM4、M5に電流が流れる。MOSFETM5の電流は、抵抗R7及び抵抗R8、MOSFETM6を介して流れる。このとき、抵抗R7及びR8の端子電圧であるノードN2の電位が上昇する。このため、このノードN2の電位がトランジスタQ3の閾値電圧を超えるとトランジスタQ3がオンされる。したがって、MOSFETM4のゲート電圧が低下し、MOSFETM4及びM5を流れる電流が制限される。このように、MOSFETM5のセル数、抵抗R7及びR8により突入電流に対する電流制限値が決定され、この電流制限値に応じて突入電流が制限される。

【0035】（安定状態時）一方、入力信号INが入力されてから、ランプが安定するまでの所定の時間が経過すると、電源電圧VBが低下する。このため、ノードN1の電位が低下し、このノードN1の電位が直流電源Eにより設定された電圧を下回ると比較回路Cの出力信号が反転する。したがって、Dフリップフロップ回路FFのCLK端子に、ローレベルの信号が供給され、Dフリ

ップフロップ回路FFの出力信号はローレベルとされる。よって、MOSFETM6はオフされる。したがって、抵抗R7のみに電流が流れるため、電流制限値を低下することができる。

【0036】上記状態において、負荷異常等によりランプドライバに過大な電流が流れると、ノードN1の電位が上昇して、比較回路Cの出力信号が反転する。これに伴いDフリップフロップ回路FFの出力信号Qがハイレベルとなる。このため、MOSFETM6がオンし、抵抗R8に電流が流れる。これにより、ノードN2の電位がトランジスタQ3の閾値電圧に達すると、トランジスタQ3がオンし、MOSFETM4のゲート電圧が低下する。このため、MOSFETM4及びM5を流れる電流は低下する。このように、MOSFETM5のセル数及び抵抗R7の端子電圧により安定状態時における電流制限値が決定され、この電流制限値に応じて安定状態時の電流が制限される。

【0037】なお、上記第2の実施形態において、比較回路Cに例えばMOSFETの閾値電圧 $V_{th}$ 、またはバイポーラトランジスタのベース・エミッタ間電圧 $V_{BE}$ を利用して温度補償を利用することにより、温度に対する素子保護レベルを更に改善できる。

【0038】上記第2の実施形態によれば、セル数の異なるMOSFETM4、M5を設け、MOSFETM6、Dフリップフロップ回路FF、比較回路Cにより抵抗R7及びR8に流れる電流を制御することによってトランジスタQ3の導通を制御し、MOSFETM4に流れる電流を初期点灯時及び安定状態時において制御している。すなわち、初期点灯時にはDフリップフロップ回路FFの出力信号によりMOSFETM6をオンとし、抵抗R7及びR8の端子電圧に応じてトランジスタQ3のベース電圧を制御することによりMOSFETM4のゲート電圧を制御し、MOSFETM4を流れる電流が電流制限値に制限される。したがって、初期点灯時には、突入電流を制限し過ぎることなく、ランプが適正に点灯するのに十分な高い電流制限値に設定することができる。また、安定状態時には、MOSFETM6をオフとしてMOSFETM5に抵抗R7のみを接続することにより、電流制限値を大きくし過ぎることなく、低く設定することができる。しかも、比較回路Cにより負荷異常等による過電流が検出されると、Dフリップフロップ回路FFを介してMOSFETM6がオンとされ、抵抗R7及びR8の電圧によりトランジスタQ3をオンすることによりMOSFETM4に流れる電流を適切な値に制限できる。よって、ランプドライバの保護回路として適切に動作させることができる。

【0039】また、第1、第2の実施形態において、MOSFETM1～M5を制御する回路が小規模な回路で構成できる。したがって、チップサイズの増大を防止できる。

【0040】尚、トランジスタQ3の代わりにNチャネルMOSFETを使用した構成としてもよい。

【0041】また、第1、第2の実施形態において、MOSFET M1～M5はセル数を変えることにより電流量を変えたが、これに限定されるものではなく、例えばMOSFETのサイズを変えてもよい。

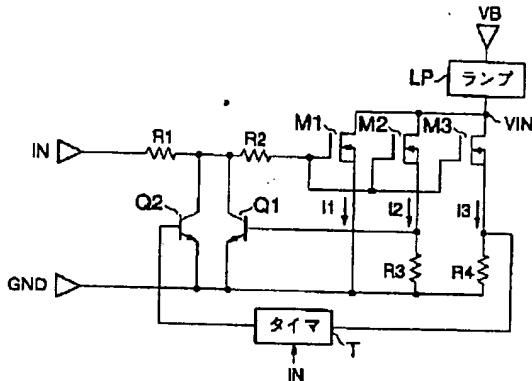
【0042】その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【0043】

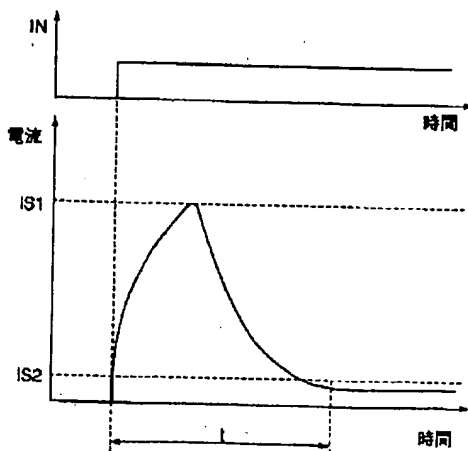
【発明の効果】以上、詳述したように本発明によれば、2種類の電流制限値を設定可能な半導体保護回路を提供できる。

【図面の簡単な説明】

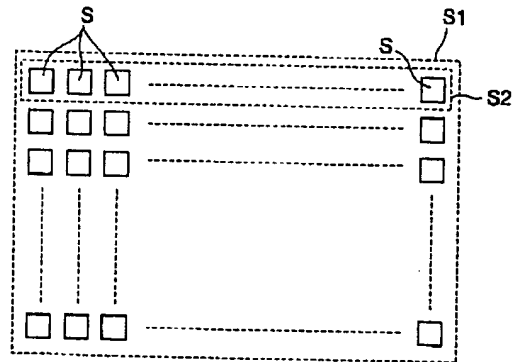
【図1】



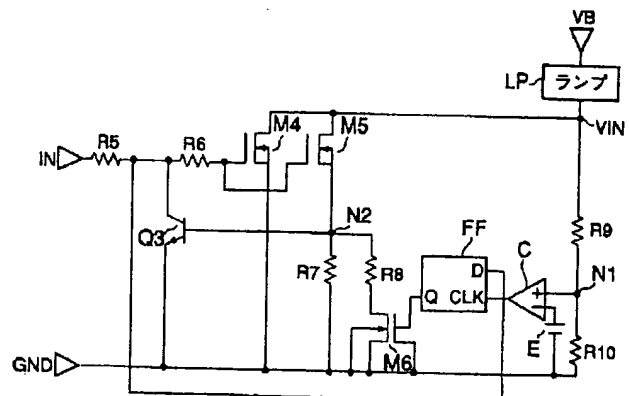
【図3】



【図2】



【図4】



フロントページの続き



Fターム(参考) 5G004 AA04 AB02 BA03 BA04 DA02  
DC01 DC04 EA01  
5G053 AA01 BA01 BA04 CA02 CA04  
EA03 EC03 FA07  
5J055 AX34 AX53 AX55 AX64 BX12  
BX16 BX23 CX22 DX22 DX83  
EX07 EY01 EY21 EZ10 FX04  
FX08 FX12 FX20 FX32 FX38

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**